



## 【特許請求の範囲】

【請求項1】 異なる位相で入力される所定フレームパターンを有する複数のデータを所定内部タイムスロットに割り当て、内部タイムスロット毎に、該タイムスロットに割り当てたデータのフレームパターンが検出された時、同期位相検出信号を出力する多重同期処理部と、該同期位相検出信号に基づいて各タイムスロットのデータをメモリ（フレームアライナー）上で並び変え、各データの位相を同一にする位相同期化部を備えた通信装置の混成多重同期方式において、

異なるフレームパターン、異なるフレーム長を有する複数のデータを処理する場合、各所定内部タイムスロットに割り当てるデータのフレームパターンの種類と該データのフレーム長を予め記憶しておき、異なるフレームパターンのそれぞれに対応して多重同期処理部を設け、多重同期処理部はフレームビットが入力される毎に多重同期処理を行い、現タイムスロットにおけるフレームパターンの種類に応じた多重同期処理部から出力される同期位相検出信号を選択して位相同期化部に入力し、位相同期化部は該同期位相検出信号に基づいて現タイムスロットにおけるデータをフレーム長を考慮してメモリ（フレームアライナー）上で並び変え、各タイムスロットのデータの位相を同一にすることを特徴とする混成多重同期方式。

【請求項2】 前記1つの多重同期処理部は、フレーム長を $f$ とすれば、タイムスロット毎に最新の $(f-1)$ 個のフレームビットを記憶する記憶部と、所定タイムスロットにおいて新たに発生したフレームビットと該タイムスロットにおける前記最新の $(f-1)$ 個のフレームビットを合成して $f$ ビットのフレームパターンを出力する合成部と、合成フレームパターンと予め設定されているフレームパターンを比較する比較部と、最新の $(f-1)$ 個のフレームビットを記憶部に格納する格納部を備え、他の多重同期処理部は比較部のみを備え、記憶部、合成部、格納部は前記1つの多重同期処理部に設けたものを共用することを特徴とする請求項1記載の混成多重同期方式。

【請求項3】 前記メモリ（フレームアライナー）は、最大フレーム長を $m$ とすると、各タイムスロット毎に第1、第2、・・・第 $m$ の $m$ 個の記憶域を備え、位相同期化部は、所定タイムスロットに割り当てたフレーム長 $m$ のデータを同期位相検出信号の発生により、該タイムスロットに応じた第1記憶域に記憶し、以後同期位相検出信号が発生する迄、該タイムスロットのフレーム長 $m$ のデータを第2、第3、・・・第 $m$ 記憶域に順次記憶し、同期位相検出信号の発生により再び第1記憶域から記憶し、所定タイムスロットのフレーム長が $k$ （ $m/k$ は整数）のデータは同期位相検出信号の発生により、該タイムス

ロットに応じた第1記憶域に記憶し、以後フレーム長 $k$ のデータを該タイムスロットの第2、第3、・・・第 $k$ 記憶域に順次記憶し、次の同期位相検出信号の発生により、該タイムスロットに応じた第 $(k+1)$ 記憶域に記憶し、以後該タイムスロットのデータを順次第 $(k+2)$ 、第 $(k+3)$ 、・・・第 $2 \cdot k$ 記憶域に順次記憶し、同様にして第 $m$ 記憶域まで記憶し、次の同期位相検出信号の発生により再び第1記憶域から記憶することを特徴とする請求項1又は請求項2記載の混成多重同期方式。

10 【請求項4】 位相同期化部は、各タイムスロット毎にメモリ（フレームアライナー）へのデータ格納アドレスを更新・出力するアドレス発生部を備え、アドレス発生部から出力される現タイムスロットのアドレスが指示するメモリ（フレームアライナー）の記憶域へ現タイムスロットのデータを書き込み、タイムスロット毎に第 $m$ 記憶域までデータを書き込んだ時、次の同期位相検出信号の発生によりアドレス発生部は該タイムスロットのアドレスをクリアすることを特徴とする請求項3記載の混成多重同期方式。

20 【請求項5】 タイムスロットに割り当てるデータのフレーム長を $k$ とする時、 $m/k$ （ $=$ 整数）を該タイムスロットに対応させて記憶しておき、該タイムスロットに対して $m/k$ 個の同期位相検出信号が発生したか監視し、 $m/k$ 個の同期位相検出信号の発生により、前記アドレス発生部は該タイムスロットのアドレスをクリアすることを特徴とする請求項4記載の混成多重同期方式。

## 【発明の詳細な説明】

## 【0001】

30 【産業上の利用分野】本発明は混成多重同期方式に係わり、特に異なるフレームパターン、異なるフレーム長を有する通信網への接続を自由に行える混成多重同期方式に関する。データ通信機器は、複数の各種ノード（データ通信機器）から時分割多重通信線路を介して到来する多数のフレームデータを取り込んで処理するが、各フレームデータは異なる位相で到来する。このため、データ通信機器では、所定の処理を実行する前に、同期処理をしなければならない。

40 【0002】〔従来の技術〕多重同期処理のためには、図12に示すように多重同期処理部11とフレームアライナRAM12よりなる多重同期処理装置が知られている。この多重同期処理装置においては、図13に示すように1フレーム周期 $T$ を $N$ 個（例えば64個）のタイムスロット $TS1 \sim TS64$ に区分し、各タイムスロットに64チャンネルのフレームデータを割り当てる。各データは8ビットで構成され、第1ビットは同期ビット（フレームビット）、第8ビットは状態ビット（有効/無効を示す）、残りがデータである。1フレームを8K周期とした場合、フレームデータ（パラレル）は512Kの速度を有することになる。

【0003】同期がとれた理想的な場合には、図14に示すように（フレーム長は20とする）、第1フレームFP1におけるタイムスロットTS1～TS64のデータのフレームビットは全てS1、第2フレームFP2におけるタイムスロットTS1～TS64のデータのフレームビットは全てS2、第3フレームFP3のタイムスロットTS1～TS64のデータのフレームビットは全てS3、・・・、第20フレームFP20のタイムスロットTS1～TS64のフレームビットは全てS20データある。尚、図15に示すように20個のフレームビット

S1, S2, S3, ..., S20

の並びによりサブレートフレーム（20フレームに相当）に同期した20ビットの同期パターン（フレームパターンという）が構成される。これは、図12におけるFAOUTの同期がとれた状態に相当する。

【0004】さて、多重同期処理部11（図12）は異なる位相で入力される20フレーム分のデータ（64タイムスロット×20個のデータ）をタイムスロットTS毎にフレームビット順に並び替えてフレームアライナーRAMに記憶させるようになっている。例えば、図16(a)に示すように、フレームFP1～FP20における64タイムスロットのデータがそれぞれ異なった位相で入力されると同期処理により、該データを図16(b)に示すようにフレームアライナーRAM12上に並べ、最終的に図14に示すように並び替えてフレームアライナーRAM12に記憶させる。これにより同期処理が為され、同期データはフレームアライナーRAM12から、順次第1フレームより64タイムスロットデータづつ出力するようしている。

【0005】すなわち、フレームアライナーRAM12は、図16(b)に示すように、横軸に1～64タイムスロット、縦軸に20（フレームビット数）のアドレス空間を有し、多重同期処理部11は入力された各タイムスロットにおけるデータのフレームビット位置を識別し、フレームアライナーRAM12における該当タイムスロットの該当フレームビット位置に格納し、しかる後第1フレームビットS1に対応する1～64のタイムスロットデータ、第2フレームビットS2に対応する1～64のタイムスロットデータ、第3フレームビットS3に対応する1～64のタイムスロットデータ・・・の順に出力する。

【0006】図17は同期処理の全体のタイムチャート概要であり、フレーム同期クロック（512K）と、各TSに対応するフレームデータと、フレームアライナーRAMへのデータ入力タイミングFAINと、フレームアライナーRAMからのデータ読出タイミングFAOUTが示されている。多重同期処理部11はフレーム同期クロックにおける前半の1/2周期でフレームデータを取り込んで同期処理してフレームアライナーRAM12

に入力し、後半の1/2周期で同期化されたフレームデータをフレームアライナーRAM12から読み出して出力する。

【0007】図18は単一フレームパターン網（例としてX.50網）におけるシステムの全体図であり、1～3はX.50網、4は多重通信装置、PT1～PT3は時分割多重通信線路である。又、多重通信装置4において、4a～4cはインタフェース網、4dは内部バス、4eは多重同期処理装置（図12参照）である。

【0008】各X.50網1～3から線路PT1～PT3を介して、図示するように1フレーム当りNチャンネル（ch1～chN）の時分割データTSD1～TSD3が多重通信装置4に入力される。なお、各時分割データTSD1～TSD3における数字1～20はそれぞれフレームビット

S1, S2, S3, ..., S20

の位置を示している。ここで、注目すべきは、各フレームの同一チャンネル（タイムスロット）に着目すると、フレームビットは必ず到来順に・・・→S1→S2→S3→・・・→S20→S1→S2→・・・の並びになっていることである。

【0009】多重通信装置4において、線路PT1のch2、線路PT2のch1、線路PT3のch1、・・・のデータを取り込み、多重同期処理を行って出力するものとする、各インタフェース4a～4cから順次データが取り出され、図19に示すように並べられて多重同期処理装置4eに入力され、タイムスロットTS1, TS2, TS3, ...に割り当てられたデータのフレームパターンは

S19, S20, S1, ...,  
S1, S2, S3, ...,  
S7, S8, S9, ...,  
.....

と位相が異なっている。そこで、多重同期処理装置4eは図12～図17で説明した方法で各タイムスロットに割り当てられたデータのフレームパターンの位相を合わせる。

【0010】

【発明が解決しようとする課題】以上のように、従来の多重同期方式によれば、同一フレームパターン及び同一フレーム長を有する同一網（例えばX.50網）から受信したデータであれば、データの位相が異なっても同期処理して位相を合わせることができる。

【0011】しかし、従来の多重同期方式では、異なるフレームパターン、異なるフレーム長を有する網（多種網）から異なった位相でデータを受信する場合にはその位相合わせができない。

【0012】このため、他網特有のフレームパターン、フレーム長に対応した多重同期処理部を新たに、別に用意して対応する必要があり、ハードウェア規模が大きく

なり、しかもフレキシブルなネットワークの構成ができない問題があった。

【0013】以上から本発明の目的は、異なるフレームパターン、異なるフレーム長の網から異なった位相で受信したデータの同期取りが可能であり、しかもフレキシブルなネットワークの構成ができる多重同期方式を提供することである。

【0014】

【課題を解決するための手段】図1は本発明の原理説明図である。21a～21nは異なるフレームパターン（第1～第nパターン）のそれぞれに対応して設けられ、フレームビットが入力される毎に多重同期処理を行う第1～第nの多重同期処理部、22は各タイムスロットTS1～TSN（例えばTS1～TS64）に割り当てるデータのフレームパターンの種類を記憶するフレームパターン種記憶部、23は現タイムスロットにおけるフレームパターンの種別に応じた多重同期処理部からの同期位相検出信号SPD1～SPDnを選択する選択部、24は各タイムスロットのデータをそのフレーム長を考慮してメモリ（フレームアライナー）上で並び替えて位相合わせする位相同期化部である。また、位相同期化部24において、25はタイムスロットTS1～TSN（例えばTS1～TS64）に割り当てるデータのフレーム長を記憶するフレーム長記憶部、26は各タイムスロットにおける同期位相検出信号SPDの発生により、該タイムスロットのデータを、そのフレーム長を考慮してメモリ（フレームアライナー）上で並び替えるためのアドレスを発生するメモリアドレス（フレームアライナーアドレス）制御部、27は最大フレーム長をm（例えば20）とすると、各タイムスロット毎にm個の記憶域を備え、タイムスロット毎にメモリアドレス（フレームアライナーアドレス）制御部26より出力されるアドレスが指定する記憶域にデータを格納するフレームアライナーRAMである。

【0015】

【作用】異なる位相で入力される各種異なるフレームパターン、フレーム長のNチャンネルのデータをそれぞれN個のタイムスロットに割り当て、しかる後多重同期処理を行なうものとし、予め、フレームパターン種記憶部22に各タイムスロットTS1～TSNに割り当てるデータのフレームパターンの種類を記憶し、フレーム長記憶部25に各タイムスロットTS1～TSNに割り当てるデータのフレーム長を記憶しておく。異なるフレームパターン（第1～第nフレームパターン）のそれぞれに対応して設けられた多重同期処理部21a～21nは、データの先頭ビットであるフレームビットが入力される毎に多重同期処理を行い、自分に指定されたフレームパターンが検出されると同期位相検出信号SPD1～SPDnを出力する。選択部23は現タイムスロットにおけるフレームパターンの種別に応じた多重同期処理部21

a～21nからの同期位相検出信号SPD1～SPDnを選択して位相同期化部24に入力する。位相同期化部24は各タイムスロットにおける同期位相検出信号SPDの発生により該タイムスロットのデータを、そのフレーム長を考慮して並び替え、フレームアライナーRAM27に各タイムスロット毎にフレームビット順に記憶し、各データの位相を同一にしてフレームアライナーRAM27から出力する。

【0016】このように、各種網における異なったフレームパターン毎に多重同期処理部を設け、それぞれにおいて自分に指定されたフレームパターンを検出した時、同期位相検出信号を発生し、各タイムスロットにおける同期位相検出信号の発生により、該タイムスロットのデータをそのフレーム長を考慮してメモリ（フレームアライナー）上で並び替え、各データの位相を同一にして出力するようにしたから、異なったフレームパターン、異なったフレーム長の網が混在し、各網から位相の異なったデータを受信しても同期取りが可能であり、フレキシブルなネットワークの構成ができる。

【0017】又、第1の多重同期処理部21aを、タイムスロット毎に最新の（f-1）個のフレームビットを記憶する記憶部と、所定タイムスロットにおいて新たに発生したフレームビットと該タイムスロットにおける前記最新の（f-1）個のフレームビットを合成してfビットのフレームパターンを出力する合成部と、合成フレームパターンと予め設定されているfビットとのフレームパターンを比較する比較部と、最新の（f-1）個のフレームビットを記憶部に格納する格納部で構成し、他の多重同期処理部21b～21nには比較部のみを設け、記憶部、合成部、格納部は第1の多重同期処理部に設けたものを共用するようにすれば、多重同期処理部のハードウェア規模を小さく安価にすることができる。

【0018】更に、最大フレーム長をm（例えば20）とすると、フレームアライナーRAM27に各タイムスロット毎にm個の記憶域を設け、フレーム長m（＝20）のデータ（X.50網、DDS20網、独自網等）は同期位相検出信号の発生により、該データに割り当てたタイムスロットに応じた第1記憶域から順次第m記憶域に記憶し、同期位相検出信号の発生により再び第1記憶域から記憶するようにし、フレーム長がk（＝10又は5）のデータ（DDS10網、DDS5網）は同期位相検出信号の発生により、該データに割り当てたタイムスロットに応じた第1記憶域より順次第k記憶域に記憶し、次の同期位相検出信号の発生により、該データに割り当てたタイムスロットに応じた第(k+1)記憶域から順次第2・k記憶域に記憶し、同様に第m記憶域まで記憶し、次の同期位相検出信号の発生により再び第1記憶域から記憶するようにすれば、フレームアライナーRAM27に効率よくデータを並び替えて記憶し、各データの位相を合わせて出力できる。

【0019】又、タイムスロット毎にフレームアライナーRAM27へのデータ格納アドレスを更新・出力するメモリアドレス（フレームアライナーアドレス）発生制御部26を設け、該メモリアドレス発生制御部から出力される所定タイムスロットのアドレスが指示する記憶域へ該タイムスロットのデータを書き込み、第m記憶域までデータを書き込んだ時、次の同期位相検出信号の発生により該タイムスロットのアドレスをクリアするようにする。このようにすれば、メモリアドレス発生制御を全タイムスロット共通に1つの回路で行うことができ、ハードウェア規模を小さく、かつ安価にすることができる。

【0020】更に、各タイムスロットに割り当てるデータのフレーム長を $k_i$ とする時、 $m/k_i$ （＝整数）を該タイムスロットに対応させフレーム長記憶部25に記憶しておき、該タイムスロットに対して $m/k_i$ 個の同期位相検出信号が発生したか監視し、 $m/k_i$ 個の同期位相検出信号の発生により、アドレス発生部により該タイムスロットのアドレスをクリアするようにする。このようにすれば、アドレスクリア制御を全タイムスロット共通に行うことができ、ハードウェア規模を小さくでき、しかもフレーム長が異なっても簡単にフレームアライナーRAMに効率よくデータを並び替えができる。

#### 【0021】

##### 【実施例】通信システムの構成

図2は本発明に係わる混成多重同期処理を行う多重通信装置の位置付けを説明する通信システムの構成図であり、5はフレーム長が20のX.50網（主に国内で使用）、6はDDS網（主に米国、北米で使用）であり、6aはフレーム長が20のDDS20網、6bはフレーム長が10のDDS10網、6cはフレーム長が5のDDS5網、7は独自フレームパターンを有する独自網（特殊網）、8は多重通信装置、PT1～PT5は時分割多重通信線路である。

【0022】多重通信装置8において、8a～8eは各網のインタフェース、8fは内部バス、8gは各種網から異なる位相で入力される異なるフレームパターン、異なるフレーム長のデータの位相を合わせ、多重化して出力する多重同期処理装置である。

【0023】多重同期処理装置8は、X.50網、DDS20網、DDS10網、DDS5網、独自網5～7より線路PT1～PT5を介して、1フレーム当りNチャンネルの時分割データTSD1～TSD5が入力されると、各線路の所定チャンネルのデータを取り込み、後述する多重同期処理を行って出力する

#### 【0024】多重同期処理装置

図3は本発明の多重同期処理装置の全体の概略構成図であり、図1と同一部分には同一符号を付している。図中、21a～21nは異なるフレームパターン（第1～第nパターン）のそれぞれに対応して設けられ、フレ

ムビットが入力される毎に多重同期処理を行う第1～第nの多重同期処理部、22は各タイムスロットTS1～TSN（例えばTS1～TS64）に割り当てるデータのフレームパターンの種類を記憶するフレームパターン種記憶部、23は現タイムスロットにおけるフレームパターンの種別に応じた多重同期処理部からの同期位相検出信号SPD1～SPDnを選択する選択部、24は各タイムスロットのデータをそのフレーム長を考慮してメモリ上で並び替えて位相合わせする位相同期化部である。

【0025】第1、第2、第3、・・・第n多重同期処理部21a～21nのそれぞれには、予めハード的手法又はソフト的手法等により異なるフレームパターン（第1～第nフレームパターン）が設定されている。例えば、第1フレームパターンとして20ビットのX.50網フレームパターンが設定され、第2フレームパターンとして20ビットのDDS20網フレームパターンが、第3フレームパターンとして10ビットのDDS10網フレームパターンが、第4フレームパターンとして5ビットのDDS5網フレームパターン、・・・、第nフレームパターンとして20ビットの独自網（特殊網）フレームパターンが設定される。

#### 【0026】フレームパターン種記憶部

フレームパターン種記憶部22には、各タイムスロットTS1～TSN（例えばTS1～TS64）に割り当てるデータのフレームパターンの種類が記憶される。異なったフレームパターン、異なったフレーム長を有する複数の網からの複数のデータを内部タイムスロットTS1～TSNに割り当てる場合、予めどのタイムスロットTS1～TSNにどの網（どのフレームパターン）のデータを割り当てるかが決まっている。従って、この決まり（タイムスロットTS1～TSNに割り当てるデータのフレームパターンの種類）を予めフレームパターン種記憶部23に記憶する。例えば、(1) 第1タイムスロットTS1にX.50網のデータが割り当てられ、(2) 第2タイムスロットTS2にDDS20網のデータが割り当てられ、(3) 第3タイムスロットTS3にDDS10網のデータが割り当てられ、(4) 第4タイムスロットTS4にDDS5網のデータが割り当てられ、(5) 第5タイムスロットTS5に特殊網のデータが割り当てられ、・・・以下同様に各タイムスロットに所定の網のデータが割り当てられるものとする、フレームパターン種記憶部22のアドレスA01～A64（内部タイムスロットTS1～TS64に対応）に図3に示すように(1) アドレスA01には第1フレームパターン（X.50網フレームパターン）を特定するデータが記憶され、(2) アドレスA02には第2フレームパターン（XDDS20網フレームパターン）を特定するデータが記憶され、(3) アドレスA03には第3フレームパターン（XDDS10網フレームパターン）を特定するデータが記

憶され、(4) アドレスA04には第4フレームパターン(XDDS5網フレームパターン)を特定するデータが記憶され、(5) アドレスA05には第nフレームパターン(独自網フレームパターン)を特定するデータが記憶され、以下同様に各アドレスにフレームパターンを特定するデータ(フレームパターン種)が記憶される。

【0027】異なるフレームパターンのそれぞれに対応して設けられた第1～第n多重同期処理部21a～21nは、現タイムスロットにおけるフレームビット(データの先頭ビット)が入力される毎に多重同期処理を行い、自分に指定されたフレームパターンが検出されると同期位相検出信号SPD1～SPDnを出力する。

【0028】選択部23は現タイムスロットにおけるフレームパターンの種別をフレームパターン種記憶部22から入力され、該フレームパターン種に応じた多重同期処理部21a～21nからの同期位相検出信号SPD1～SPDnを選択して位相同期化部24に入力する。

【0029】位相同期化部24は現タイムスロットにおける同期位相検出信号SPDの発生により該タイムスロットのデータを、そのフレーム長を考慮して内蔵のフレームアライナーRAM27上に並び替え、これにより各タイムスロット毎にデータをフレームビット順にフレームアライナーRAMに記憶してデータの位相を合わせて出力する。

#### 【0030】多重同期処理部の構成

図4は各多重同期処理部の具体的な構成図であり、第1の多重同期処理部21aは比較器31とフリップフロップ部32とフレームビット格納RAM33とトライステートバッファ34で構成され、第2～第nの多重同期処理部21b～21nは比較器41、51、61、71を備え、フリップフロップ部とフレームビット格納RAMとトライステートバッファは第1の多重同期処理部21aのフリップフロップ部32とフレームビット格納RAM33とトライステートバッファ34を共用している。

【0031】第1の多重同期処理部21aのみを書き出すと図5に示すようになる。フレームビット格納RAM33には、タイムスロット(TS1～TS64)毎に記憶領域(アドレスA01～A64)が設けられ、所定タイムスロット時に到来したフレームビットFBを該アドレスに記憶内容を1ビットシフトしながら最新の19ビット分(全フレームパターンビット数-1ビット)記憶するようになっている。なお、フレームビット格納RAM33の各アドレスの記憶内容を「フレームビット並び」という。

【0032】フリップフロップ32は現タイムスロットにおける「フレームビット並び」をフレームビット格納RAM33の該当アドレスから読み取って一時的に記憶する。比較器31は、所定タイムスロットTSi時に線

より入力されるフレームビットFBを第1ビットとし、又、フリップフロップ32に記憶されているタイムスロットTSiの「フレームビット並び」の19ビット分を第2～第20ビットとするパターンPTNと、予め設定されているX、50網フレームパターン(第1フレームパターン)とを比較し、一致すれば同期位相検出信号SPD1を発生する。

【0033】トライステートバッファ34は比較完了後、20ビットのパターンPTNの第1ビットを第2ビット、第2ビットを第3ビット、・・・、第19ビットを第20ビットとして、すなわちパターンPTNを1ビットシフトしてタイムスロットTSiに応じたフレームビット格納RAM33のアドレスAiに格納する。

【0034】さて、同一タイムスロットに着目すると、フレームビットは必ず到来順に・・・S20→S1→S2→S3→・・・S20→S1→S2→・・・の並びになっている。従って、第1の多重同期処理部21aを図5のように構成すると、20フレーム毎にパターンPTNと第1のフレームパターン(S1→S2→S3→・・・→S20)が一致して同期位相検出信号SPD1が出力される。

#### 【0035】同期位相検出の動作

図6は説明しやすいように、第1フレームパターンが「S4, S3, S2, S1」の4ビットであると仮定した場合の同期位相検出処理の説明図であり、第1タイムスロットTS1の場合である。初期時、フレームビット格納RAM33のタイムスロットTS1に応じたアドレスA01の内容(フレームビット並び)は、「X, X, X」となっている(X:未定)。

【0036】かかる状態において、タイムスロットTS1になり、該タイムスロットのデータに付属されたフレームビットFB(S1とする)が到来すると、該フレームビットFBを第1ビットとし、かつフレームビット並び「X, X, X」を第2～第4ビットとするパターンPTNと第1フレームパターン「S4, S3, S2, S1」を比較する。しかし、一致しないから同期位相検出信号SPD1を出力することなく、パターンPTNを1ビットシフトしてフレームビット格納RAM33のアドレスA01に格納する(以上図6の(1)参照)。

【0037】1フレーム期間が経過して次のタイムスロットTS1になり、フレームビットFB(S2である)が到来すると、該フレームビットFBを第1ビットとし、かつフレームビット並び「S1, X, X」を第2～第4ビットとするパターンPTN「S2, S1, X, X」と第1フレームパターン「S4, S3, S2, S1」を比較する。しかし、一致しないから同期位相検出信号SPD1を出力することなく、パターンPTNを1ビットシフトしてフレームビット格納RAM33のアドレスA01に格納する(図6の(2))。

【0038】再び、1フレーム期間が経過して次のタイ

11

ムスロットTS1になり、フレームビットFB(S3である)が到来すると、該フレームビットFBを第1ビットとし、かつフレームビット並び「S2, S1, X」を第2〜第4ビットとするパターンPTN「S3, S2, S1, X」と第1フレームパターン「S4, S3, S2, S1」を比較する。しかし、一致しないから同期位相検出信号SPD1を出力することなく、パターンPTNを1ビットシフトしてフレームビット格納RAM33のアドレスA01に格納する(図6の(3))。

【0039】1フレーム期間が経過して次のタイムスロットTS1になり、フレームビットFB(S4である)が到来すると、該フレームビットFBを第1ビットとし、かつフレームビット並び「S3, S2, S1」を第2〜第4ビットとするパターンPTN「S4, S3, S2, S1」と第1フレームパターン「S4, S3, S2, S1」を比較する。この場合は、一致するから同期位相検出信号SPD1を出力すると共に、パターンPTNを1ビットシフトしてフレームビット格納RAM33のアドレスA01に格納する(図6の(4))。

【0040】以後、4フレーム毎に一致が取れて同期位相検出信号SPD1が出力され、後段の位相同期化部24でデータの位相同期化が行なわれる。尚、実際のX.50はフレームパターンが20ビットであるため、20フレーム毎に一致が取れる。又、以上は第1フレームパターン(X.50網)の同期位相検出の場合であるが、第2フレームパターン(DDS20網)、第3フレームパターン(DDS10網)、第4フレームパターン(DDS5網)・・・第nフレームパターン(特殊網)の同期位相検出も、フリップフロップ32、フレームビット格納RAM33、トライステートバッファ34を共通にして、第1フレームパターンの同期位相と並行して同様に行なうことができる。ただ、フレーム長が10のDDS10網の場合、第3フレームパターンは10ビットであるため、比較部51は先頭の10ビットについてのみ比較動作を行い、またフレーム長が5のDDS5網の場合、第4フレームパターンは5ビットであるため、比較部61は先頭の5ビットについてのみ比較動作を行う。

#### 【0041】位相同期化部

図7は位相同期化部の構成図である。図中、25はタイムスロットTS1〜TSN(例えばTS1〜TS64)に割り当てるデータのフレーム長情報を該タイ例えばムスロットに応じたアドレスA01〜A64に記憶するフレーム長記憶部である。例えば各種網のうち最大フレーム長をm、所定タイムスロットTSiに割り当てられた網のフレーム長をkiとすれば、該タイムスロットに応じたフレーム長記憶部25のアドレスにm/ki(整数)がフレーム長を表す情報(小さいほどフレーム長は大)として記憶される。従って、最大フレーム長m=20とし、(1)第1タイムスロットTS1にX.50網(ki=20)のデータが、(2)第2タイムスロットT

12

S2にDDS20網(ki=20)のデータが、(3)第3タイムスロットTS3にDDS10網(ki=10)のデータが、(4)第4タイムスロットTS4にDDS5網(ki=5)のデータが、(5)第5タイムスロットTS5に特殊網(ki=20)のデータが、以下同様に各タイムスロットに所定の網のデータが割り当てられるものとする、フレーム長記憶部25のアドレスA01〜A64に図7に示すように1, 1, 2, 4, 1, ...が予めソフト等の手段によって記憶される。

【0042】尚、m/kiはmフレームの間に、該タイムスロットで発生する同期位相検出信号の回数である。従って、以後フレーム長記憶部25に記憶されている情報m/kiを同期位相検出回数という。

【0043】26はメモリアドレス制御部であり、各タイムスロットにおける同期位相検出信号SPD1〜SPDnの発生に基づいて該タイムスロットのデータをフレーム長を考慮してメモリ上で並び替えるためのアドレスを発生する。

【0044】27はフレームアライナーRAMであり、最大フレーム長をm(例えば20)とすると、各タイムスロットTS1〜TSN(N=64)毎にm(=20)個の記憶域、総計m・N個の記憶域を備えている。すなわち、横軸に1〜64タイムスロット(TS1〜TS64)、縦軸に20(最大フレーム長分)のアドレス空間を有し、各タイムスロット毎にメモリアドレス制御部26より出力されるアドレスが指定する記憶域にデータを順次格納する。尚、メモリアドレス制御部26からのアドレスはフレームアライナーRAM27の縦方向アドレス(サブレートアドレス)SAを指し、タイムスロットアドレスが横方向アドレスを指し、その交差点の記憶域にデータが格納される。

#### 【0045】メモリアドレス制御部

メモリアドレス制御部26において、26aはタイムスロット毎に保持されているフレームアライナーRAM27のアドレス(サブレートアドレス)を更新して出力し、該サブレートアドレスSA及びタイムスロットアドレスTSが指示する記憶域にデータを格納するアドレス発生部、26bは各タイムスロットに応じたフレームアライナーRAM27のサブレートアドレスを記憶するアドレスRAMであり、タイムスロット(TS1〜TS64)のそれぞれに対して記憶領域(アドレスA01〜A64)を有している。26cは各タイムスロットにおける同期位相検出信号SPDの発生によりフレーム長を考慮して該タイムスロットのアドレスの歩進及び零クリアを指示するアドレス歩進・クリア指示部である。

#### 【0046】アドレス発生部の動作

アドレス発生部26aは、インクリメント26a-1と、フリップフロップ26a-2と、バッファ26a-3を有している。現タイムスロットTSjにおけるサブレートアドレスがアドレスRAM26bから読み出されてフリップフロ

13

ブ26a-2にセットされると、インクリメンタ26a-1は、アドレス歩進・クリア指示部26cから歩進が指示されている場合、フリップフロップ26a-2にセットされているサブレートアドレスを1歩進する。しかる後、該歩進したサブレートアドレスSAをバッファ26a-3を介してアドレスRAM26bの現タイムスロットTSjに応じたアドレスに記憶すると共に、フレームアライナ-RAM27に出力し、データDTを現タイムスロットアドレスとサブレートアドレスが示すフレームアライナ-RAM27の記憶域に格納する。

【0047】一方、インクリメンタ26a-1は、アドレス歩進・クリア指示部26cから零クリアが指示されている場合には、フリップフロップ26a-2にセットされているサブレートアドレスを零クリアし、該零クリアしたサブレートアドレス(=0)をバッファ26a-3を介してアドレスRAM26bの現タイムスロットTSjに応じたアドレスに記憶すると共に、フレームアライナ-RAM27に出力し、データDTを現タイムスロットアドレスとサブレートアドレス(=0)が示すフレームアライナ-RAM27の記憶域に格納する。

【0048】アドレス歩進・クリア指示部の動作  
アドレス歩進・クリア指示部26cは、インクリメンタ26c-1と、フリップフロップ26c-2と、バッファ26c-3と、各タイムスロットにおける同期位相検出信号の発生回数(初期値は零)を記憶する同期位相検出信号数記憶部26c-4と、比較器26c-5を有している。

【0049】現タイムスロットTSjの同期位相検出信号の発生回数Sjは記憶部26c-4より読み出されてフリップフロップ26c-2にセットされる。このタイムスロットにおいて、同期位相検出信号SPDが発生しなければ、インクリメンタ26c-1は発生回数Sjの歩進動作をせず、そのままバッファを介してSjを元のアドレスに格納する。又、比較器26c-5も比較動作をせず、線L1にハイレベルの信号CLST(歩進指示)を出力し、アドレス発生部26aをしてアドレスを歩進させる。

【0050】一方、現タイムスロットにおいて、同期位相検出信号SPDが発生していれば、インクリメンタ26c-1は発生回数Sjを1カウントアップし、比較部26c-5に入力する。比較部は現タイムスロットにおける同期位相検出信号SPDの発生回数Sjとフレーム長記憶部25に記憶されている現タイムスロットの同期位相検出回数 $m/k_i$ が一致するか監視し、一致してなければ、線L1にハイレベルの信号CLST(歩進指示)を出力し、アドレス発生部26aをしてアドレスを歩進させる。又、インクリメンタ26c-1は発生回数Sjをバッファを介して記憶部26c-4の元のアドレスに格納する。

【0051】しかし、同期位相検出信号SPDの発生回数Sjとフレーム長記憶部25に記憶されている現タイムスロットの同期位相検出回数 $m/k_i$ が一致していれば、線L1にローレベルの信号CLST(零クリア指

14

示)を出力し、アドレス発生部26aをしてアドレスを零にクリアさせる。又、零クリア指示により、インクリメンタ26c-1は発生回数Sjを零にクリアしバッファを介して記憶部26c-4の元のアドレスに格納する。

【0052】メモリアドレス制御部の全体の動作

図8、図9、図10は最大フレーム長 $m=20$ とした時のメモリアドレス制御部26の全体の動作を説明するタイムチャートであり、図8はフレーム長20を有するX、50網、DDS20網等におけるアドレス制御を示し、図9はフレーム長10のDDS10網におけるアドレス制御を示し、図10はフレーム長5のDDS5網におけるアドレス制御を示す。

【0053】(a) フレーム長20の場合

フレーム長が20の場合(図8)、20フレーム毎に同期位相検出信号SPDが発生する。従って、第1フレームにおいて同期位相検出信号SPDが発生するものとする、第1フレームにおいて同期位相検出信号発生回数Sjは1になる。フレーム長20の場合、フレーム長記憶部25に記憶されている同期位相検出回数 $m/k_i$ は1であるから一致が取れ、アドレス歩進・クリア指示部26cから直ちにローレベルのクリア指示信号CLSTが発生し、発生回数Sjが零にクリアされると共に、アドレス発生部26aでサブレートアドレスSAが零にクリアされ、該サブレートアドレス(=0)が指示する記憶域に同期ビットS1を有するデータが格納される。

【0054】以後、20フレームまで同期位相検出信号SPDが発生しないからフレーム毎にサブレートアドレスSAは $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow \dots \rightarrow 19$ と変化し、順次同期ビットS2, S3, S4,  $\dots$  S20を有するデータがフレームアライナ-RAM27に格納される。

【0055】図11はフレームアライナ-RAM27におけるデータ格納状態説明図であり、フレーム長20のタイムスロットTS1, 2, 5において、データが順に記憶されていることが理解される。

【0056】(b) フレーム長10の場合

フレーム長が10の場合(図9)、10フレーム毎に同期位相検出信号SPDが発生する。従って、第1フレームにおいて同期位相検出信号SPDが発生するものとする、最初の第1フレームにおいて同期位相検出信号発生回数Sjは2になる(直前まで1であったとする)。フレーム長10の場合、フレーム長記憶部25に記憶されている同期位相検出回数 $m/k_i$ は2であるから一致が取れ、アドレス歩進・クリア指示部26cからローレベルのクリア指示信号CLSTが直ちに発生し、発生回数Sjが零にクリアされると共に、アドレス発生部26aでサブレートアドレスSAが零にクリアされ、該サブレートアドレス(=0)が指示する記憶域に同期ビットS1を有するデータが格納される。

【0057】以後、10フレームまで同期位相検出信号SPDが発生しないからフレーム毎にサブレートアドレ

スSAは0→1→2→3→・・・→9と変化し、順次同期ビットS2, S3, S4, ・・・S10を有するデータがフレームアライナーRAM27に格納される。そして、次の第1フレームにおいて同期位相検出信号SPDが発生し、発生回数Sjは1になるが、同期位相検出回数 $m/k_i$ と一致が取れず、クリア指示信号CLSTはハイレベルとなり（歩進が指示される）、以後、次の10フレームまで同期位相検出信号SPDが発生しないからフレーム毎にサブレートアドレスSAは10→11→12→13→・・・→19と変化し、順次同期ビットS1, S2, S3, ・・・S10を有するデータがフレームアライナーRAM27に格納される。すなわち、図11に示すようにフレーム長10のタイムスロットTS3において、データが順に記憶される。

【0058】(c) フレーム長5の場合

フレーム長が5の場合（図10）、5フレーム毎に同期位相検出信号SPDが発生する。従って、第1フレームにおいて同期位相検出信号SPDが発生するものとする、最初の第1フレームにおいて同期位相検出信号発生回数Sjは4になる（直前まで3であったとする）。フレーム長5の場合、フレーム長記憶部25に記憶されている同期位相検出回数 $m/k_i$ は4であるから一致が取れ、アドレス歩進・クリア指示部26cからローレベルのクリア指示信号CLSTが直ちに発生し、発生回数Sjが零にクリアされると共に、アドレス発生部26aでサブレートアドレスSAが零にクリアされ、該サブレートアドレス（=0）が指示する記憶域に同期ビットS1を有するデータが格納される。

【0059】以後、5フレームまで同期位相検出信号SPDが発生しないからフレーム毎にサブレートアドレスSAは0→1→2→3→4と変化し、順次同期ビットS2, S3, S4, S5を有するデータがフレームアライナーRAM27に格納される。そして、次の第1フレームにおいて同期位相検出信号SPDが発生し、発生回数Sjは2になるが、同期位相検出回数 $m/k_i$ と一致が取れず、クリア指示信号CLSTはハイレベルとなり（歩進が指示される）、以後、次の5フレームまで同期位相検出信号SPDが発生しないからフレーム毎にサブレートアドレスは5→6→7→8→9と変化し、順次同期ビットS1, S2, S3, S4, S5を有するデータがフレームアライナーRAM27に格納される。以後、同様に、サブレートアドレスSAは10→11→12→13→・・・→19と変化し、同期ビットS1, S2, S3, S4, S5を有するデータがフレームアライナーRAM27に格納される。すなわち、図11に示すようにフレーム長5のタイムスロットTS4において、データが順に記憶される。

【0060】以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するもので

はない。

【0061】

【発明の効果】以上本発明によれば、各種網における異なったフレームパターン毎に多重同期処理部を設け、それぞれにおいて自分に指定されたフレームパターンを検出した時、同期位相検出信号が発生し、各タイムスロットにおける同期位相検出信号の発生により、該タイムスロットのデータをそのフレーム長を考慮してメモリ上に並び替え、各データの位相を同一にして出力するようにしたから、異なったフレームパターン、異なったフレーム長の網が混在して、各網から位相の異なったデータを受信しても同期取りが可能となり、フレキシブルなネットワークの構成ができる。

【0062】又、本発明によれば、タイムスロット毎に最新の（f-1）個のフレームビットを記憶する記憶部と、所定タイムスロットにおいて新たに発生したフレームビットと該タイムスロットにおける前記最新の（f-1）個のフレームビットを合成してfビットのフレームパターンを出力する合成部と、合成フレームパターンと予め設定されているfビットとのフレームパターンを比較する比較部と、シフト操作により、最新の（f-1）個のフレームビットを記憶部に格納する格納部で第1の多重同期処理部を構成し、他の多重同期処理部には比較部のみを設け、記憶部、合成部、格納部は第1の多重同期処理部に設けたものを共用するように構成したから、多重同期処理部のハードウェア規模を小さく、かつ安価にすることができる。

【0063】更に、本発明によれば、最大フレーム長を $m(=20)$ とすると、フレームアライナーRAMに各タイムスロット毎に20の記憶域を設け、フレーム長20のデータ（X.50網、DDS20網、独自網等）は同期位相検出信号の発生により、該データに割り当てたタイムスロットに応じた第1記憶域から順次第20記憶域に記憶し、同期位相検出信号の発生により再び第1記憶域から記憶するようにし、又フレーム長が $k(=10)$ 又は5のデータ（DDS10網、DDS5網）は同期位相検出信号の発生により、該データに割り当てたタイムスロットに応じた第1記憶域より順次第k記憶域に記憶し、次の同期位相検出信号の発生により、該データに割り当てたタイムスロットに応じた第(k+1)記憶域から順次第20記憶域に記憶し、同様に第20記憶域まで記憶し、次の同期位相検出信号の発生により再び第1記憶域から記憶するようにしたから、フレーム長が異なってもフレームアライナーRAM上にデータを並び替えて、各データの位相を合わせて出力できる。

【0064】又、本発明によれば、タイムスロット毎にフレームアライナーRAMへのデータ格納アドレスを更新・出力するメモリアドレス発生制御部を設け、該メモリアドレス発生制御部から出力される所定タイムスロットのアドレスが指示する記憶域へ該タイムスロットのデ

ータを書き込み、第 $m$ 記憶域までデータを書き込んだ時、次の同期位相検出信号の発生により該タイムスロットのアドレスをクリアするように構成したから、メモリアドレス発生制御を全タイムスロット共通の回路で行うことができ、ハードウェア規模を小さく安価にすることができる。

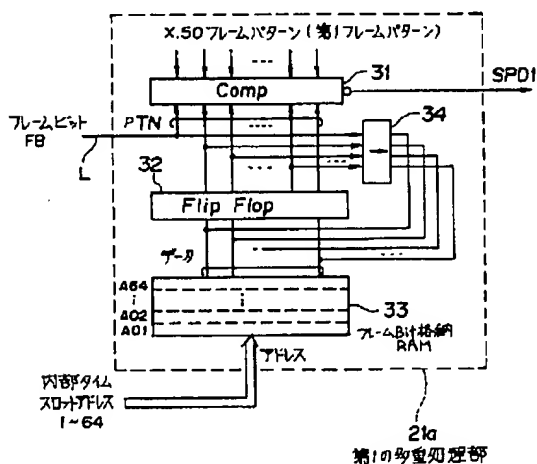
【0065】更に、本発明によれば、各タイムスロットに割り当てるデータのフレーム長を $k_i$ とする時、 $m/k_i$ （＝整数）を該タイムスロットに対応させフレーム長記憶部に記憶しておき、該タイムスロットに対して $m/k_i$ 個の同期位相検出信号が発生したか監視し、 $m/k_i$ 個の同期位相検出信号の発生により、アドレス発生部により該タイムスロットのアドレスをクリアするように構成したから、アドレスクリア制御を全タイムスロット共通に行うことができ、ハードウェア規模を小さくでき、しかもフレーム長が異なっても簡単にフレームアライナーRAMに効率よくデータを並び替えができる。

#### 【図面の簡単な説明】

- 【図1】本発明の原理説明図である。  
 【図2】通信システムの構成図である。  
 【図3】多重同期処理装置の全体の概略構成図である。  
 【図4】多重同期処理部の全体構成図である。  
 【図5】1つの多重同期処理部の詳細構成図である。  
 【図6】多重同期処理部の同期検出動作の説明図である。  
 【図7】位相同期化部の構成図である。  
 【図8】フレーム長20におけるタイムチャートである。

【図5】

1つの多重同期処理部の詳細構成図



る。

【図9】フレーム長10におけるタイムチャートである。

【図10】フレーム長5におけるタイムチャートである。

【図11】フレームアライナーRAMにおけるデータ記憶の説明図である。

【図12】従来の多重同期処理部の構成図である。

【図13】フレーム、タイムスロット、データの関係図である。

【図14】同期が取れている場合のフレームデータ構成図である。

【図15】同期パターン説明図である。

【図16】多重同期処理の説明図である。

【図17】同期処理の全体のタイムチャートである。

【図18】X.50網のシステムの全体図である。

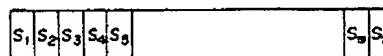
【図19】時分割多重データ例である。

#### 【符号の説明】

- 21a～21n・・・第1～第 $n$ の多重同期処理部  
 22・・・フレームパターン種記憶部  
 23・・・選択部  
 24・・・位相同期化部  
 25・・・フレーム長記憶部  
 26・・・メモリアドレス制御部（フレームアライナーアドレス制御部）  
 27・・・フレームアライナーRAM

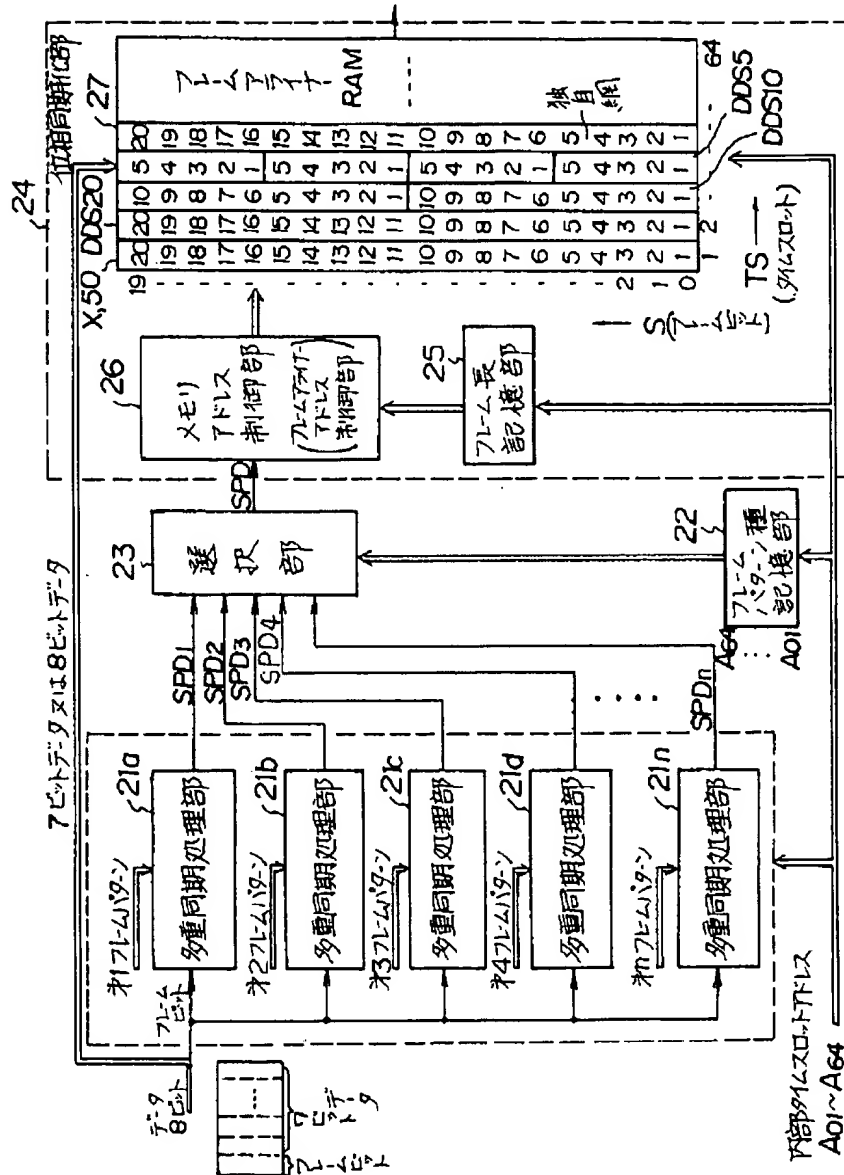
【図15】

同期パターン説明図



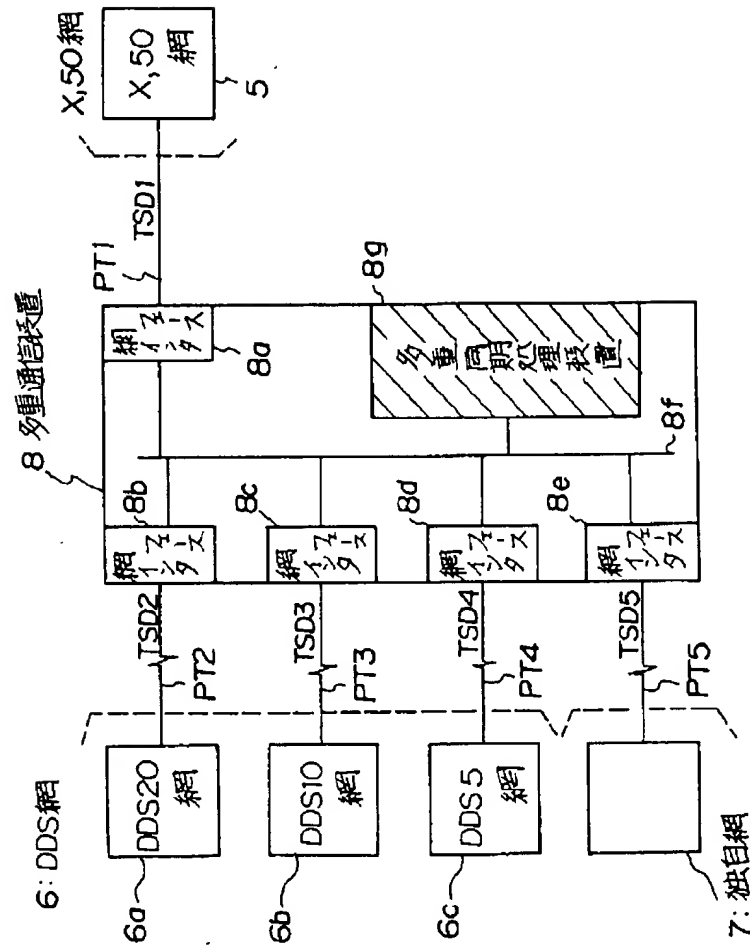
【図1】

## 本発明の原理説明図

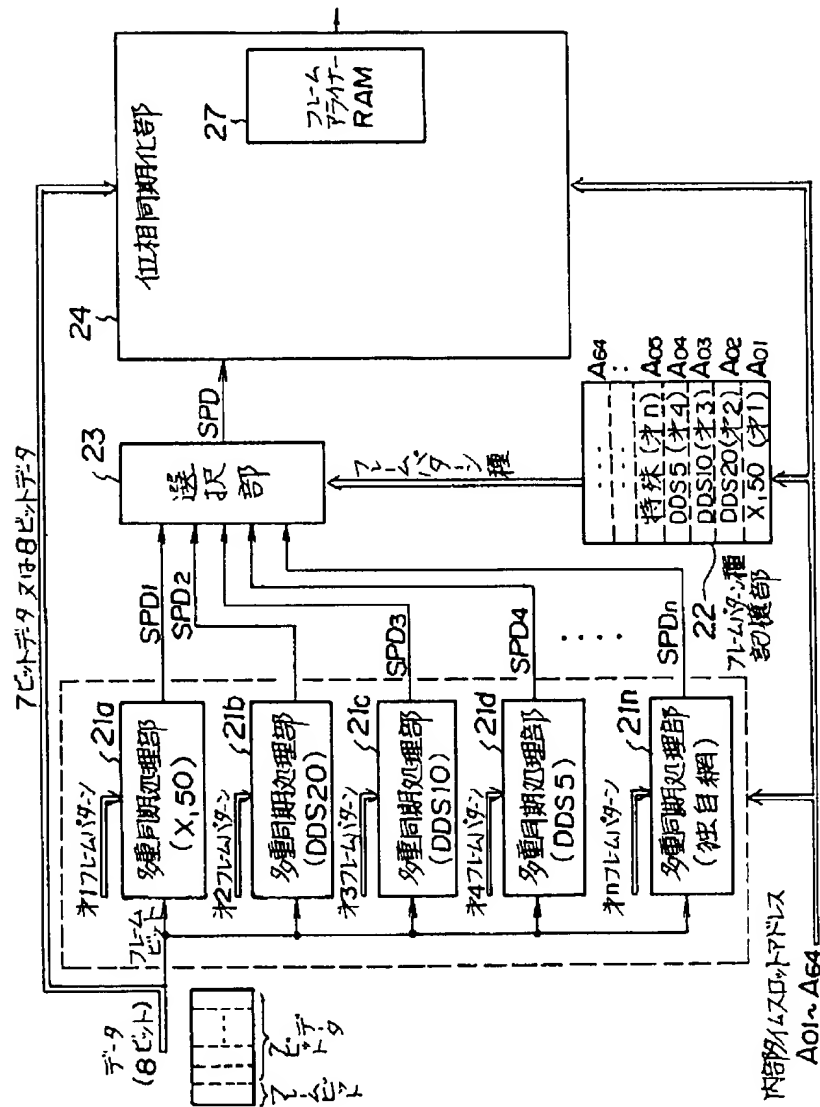


【図2】

## 通信システムの構成図

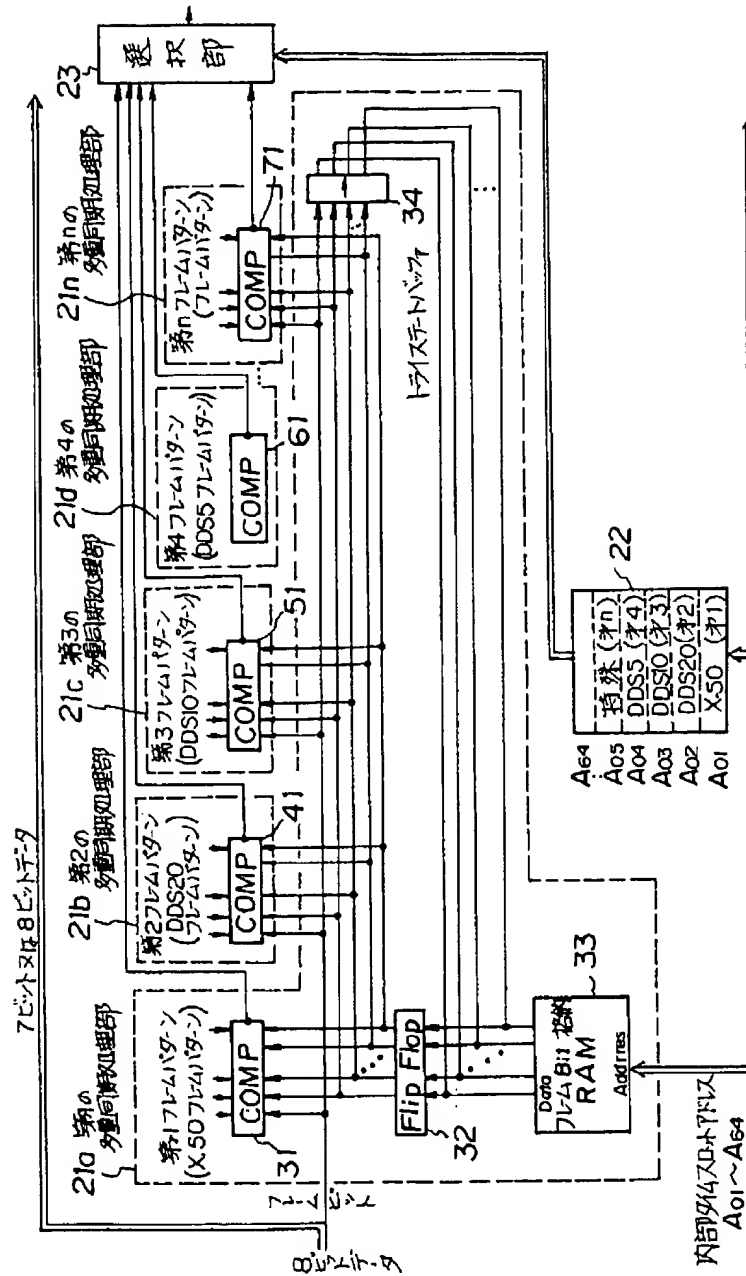


多重同期処理装置の全体の概略構成図



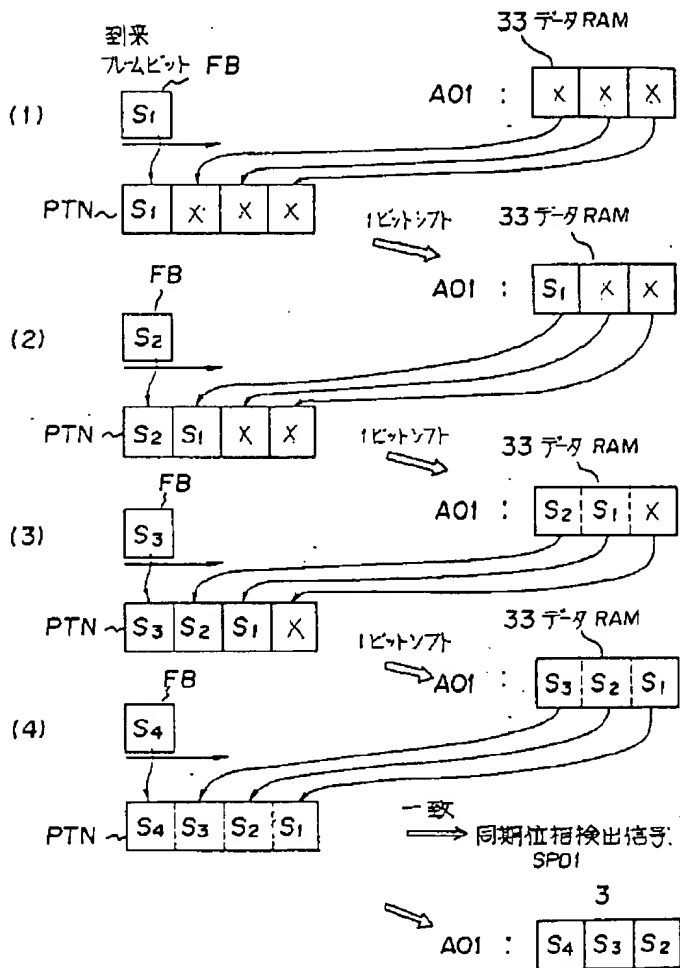
【図4】

多重同期処理部の全体構成図



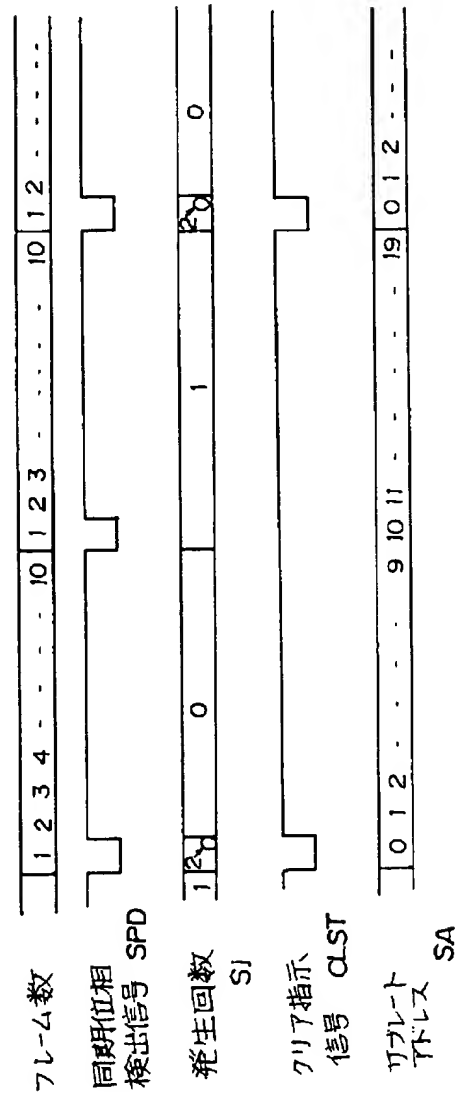
【図6】

多重同期処理部の同期検出動作の説明図



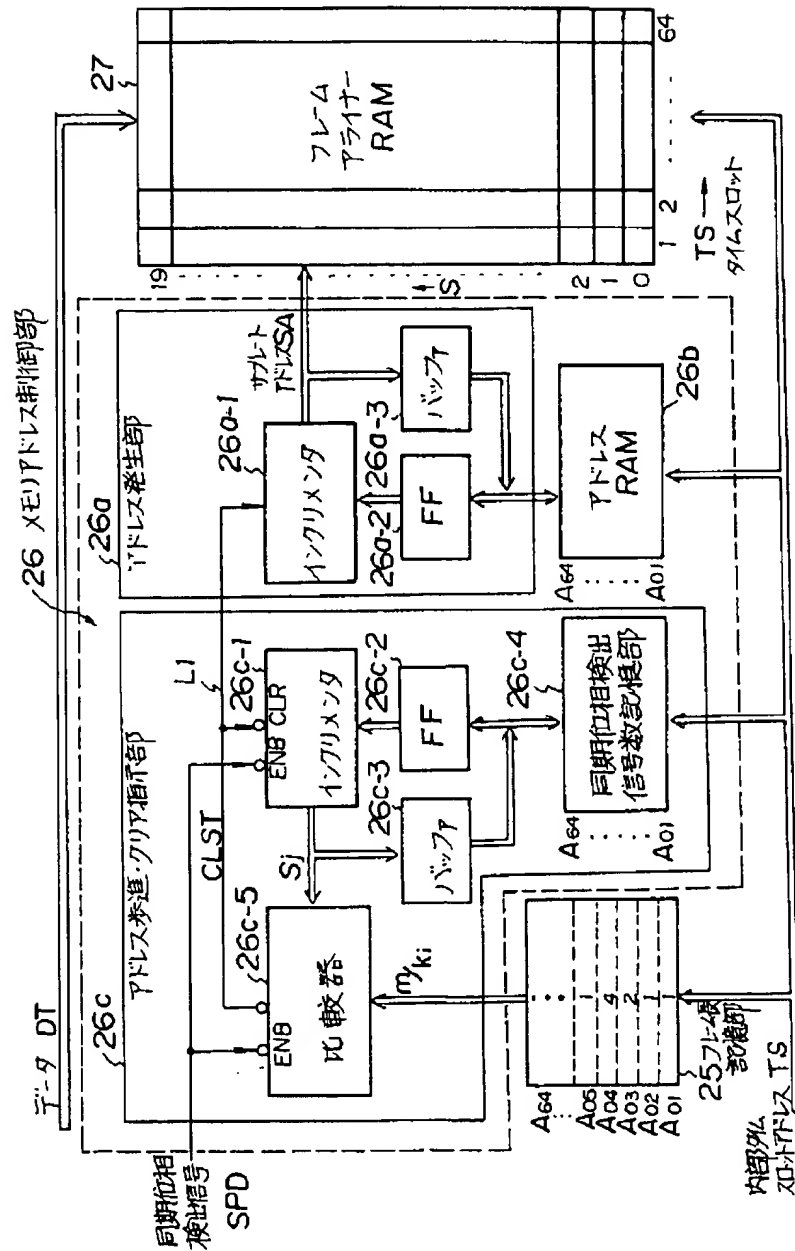
【図9】

フレーム長10におけるタイムチャート



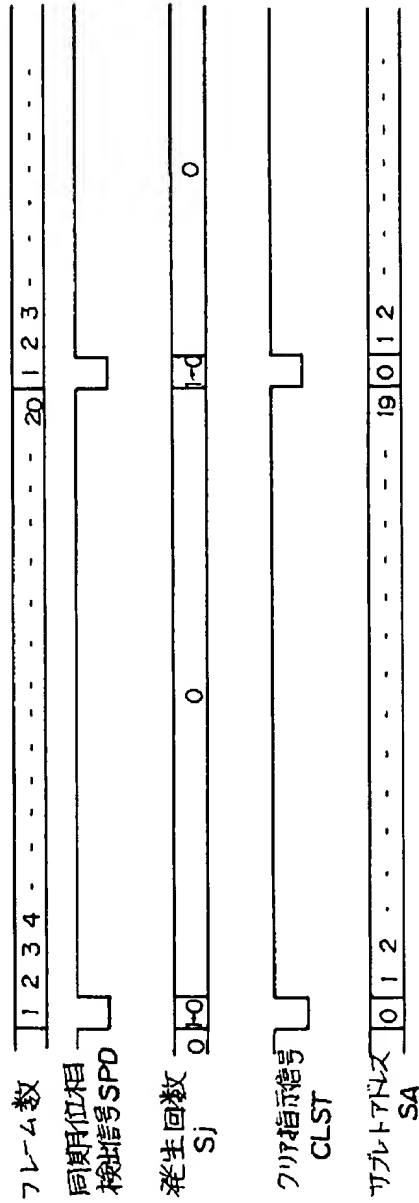
【図7】

## 位相同期化部の構成図



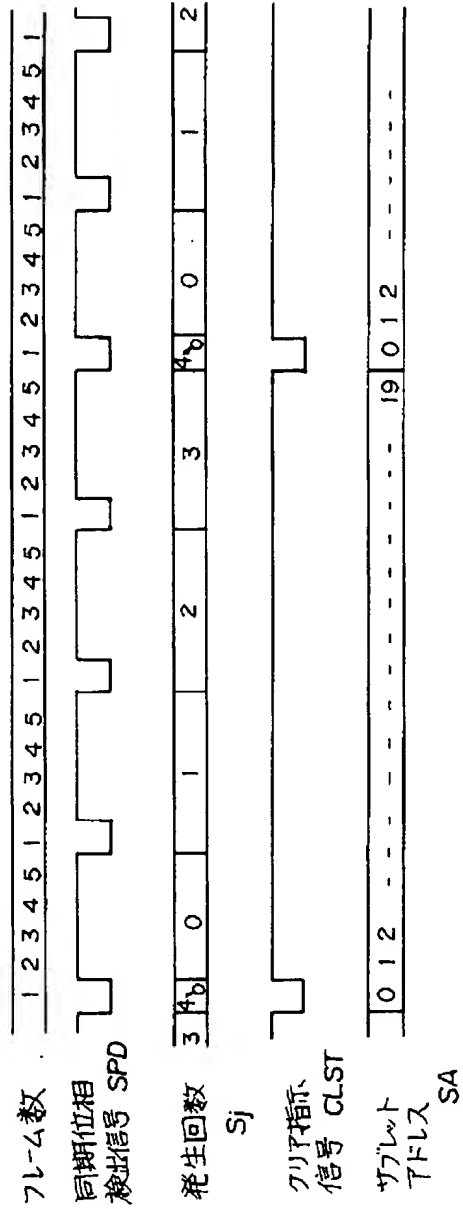
【図8】

フレーム長20におけるタイムチャート



【図10】

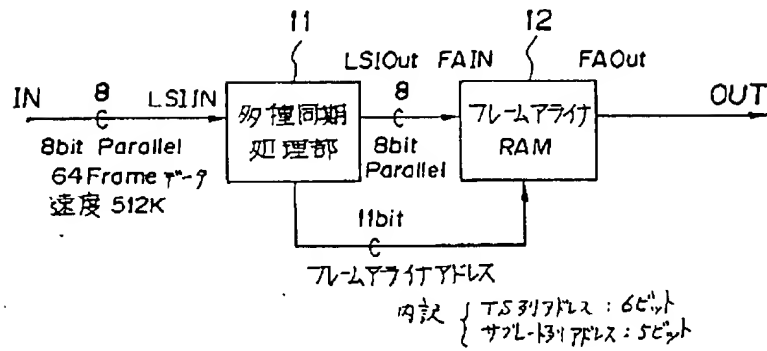
フレーム長5におけるタイムチャート





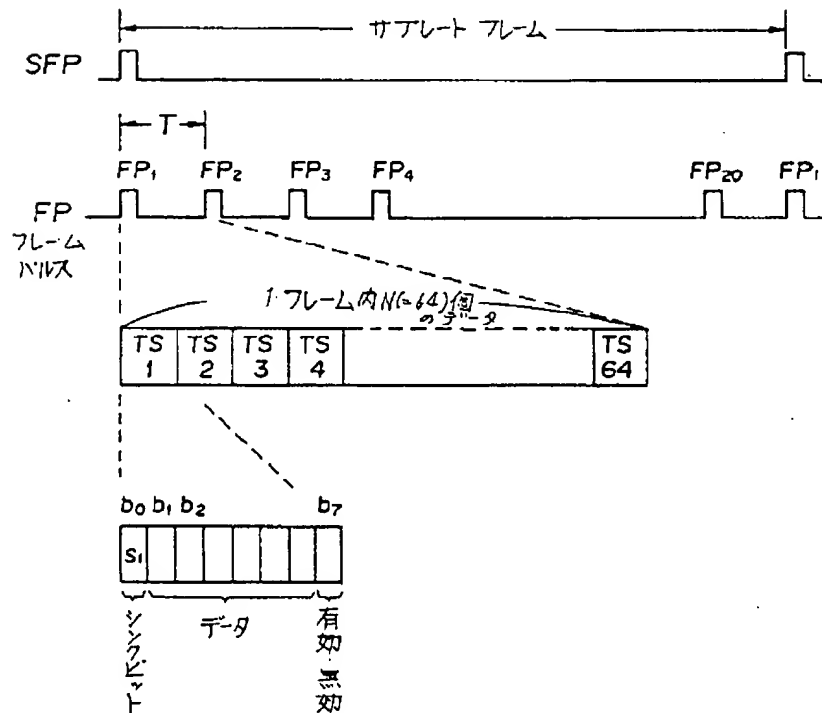
【図12】

従来の多重同期処理部の構成  
( $N=64$  TSの場合)

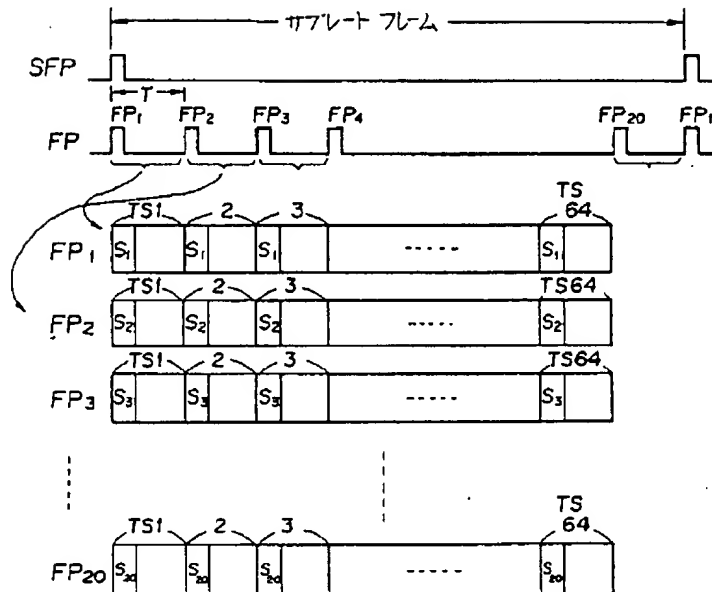


【図13】

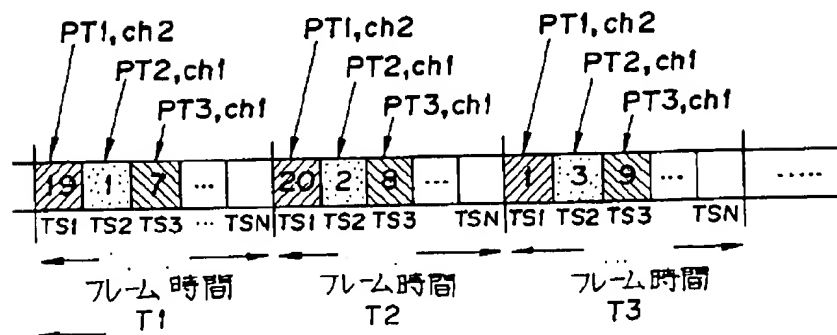
フレーム、タイムスロット、データの関係図



同期がとれている場合のフレームデータ構成図

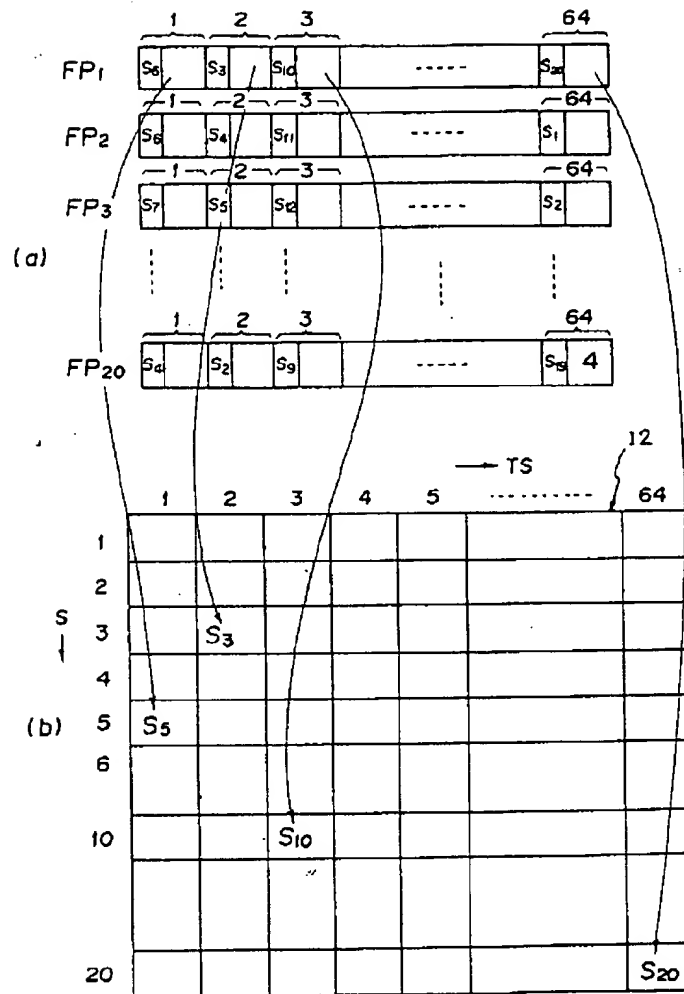


## 時分割多重データ例



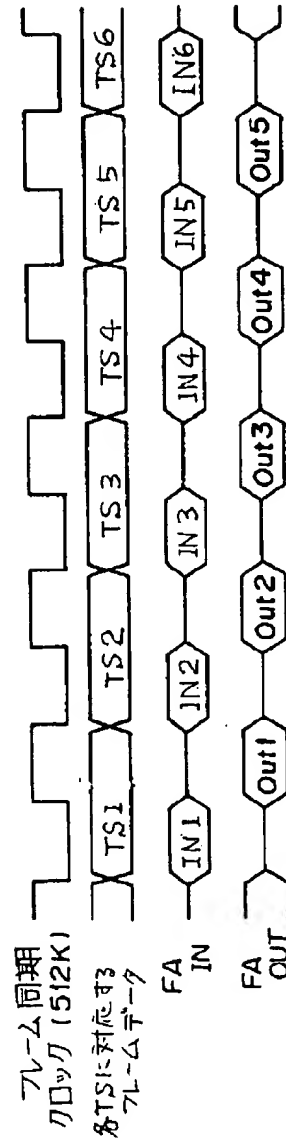
【図16】

多重同期処理の説明図



【図17】

同期処理の全体のタイムチャート



【図18】

## X.50 網のシステム全体図

